

PTO/SB/21 (09-04)

Approved for use through 07/31/2006. OMB 0651-0031

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

## TRANSMITTAL FORM

(to be used for all correspondence after initial filing)

Total Number of Pages in This Submission

	Application Number	10/711,794
	Filing Date	10/06/2004
	First Named Inventor	Kuo-Yang Sun
	Art Unit	
	Examiner Name	
3	Attorney Docket Number	OSEP0009USA

### ENCLOSURES (Check all that apply)

<input checked="" type="checkbox"/> Fee Transmittal Form <input type="checkbox"/> Fee Attached  <input type="checkbox"/> Amendment/Reply <input type="checkbox"/> After Final <input type="checkbox"/> Affidavits/declaration(s)  <input type="checkbox"/> Extension of Time Request  <input type="checkbox"/> Express Abandonment Request  <input type="checkbox"/> Information Disclosure Statement  <input checked="" type="checkbox"/> Certified Copy of Priority Document(s)  <input type="checkbox"/> Reply to Missing Parts/ Incomplete Application <input type="checkbox"/> Reply to Missing Parts under 37 CFR 1.52 or 1.53	<input type="checkbox"/> Drawing(s) <input type="checkbox"/> Licensing-related Papers  <input type="checkbox"/> Petition <input type="checkbox"/> Petition to Convert to a Provisional Application <input type="checkbox"/> Power of Attorney, Revocation <input type="checkbox"/> Change of Correspondence Address  <input type="checkbox"/> Terminal Disclaimer  <input type="checkbox"/> Request for Refund  <input type="checkbox"/> CD, Number of CD(s) _____ <input type="checkbox"/> Landscape Table on CD	<input type="checkbox"/> After Allowance Communication to TC  <input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences  <input type="checkbox"/> Appeal Communication to TC (Appeal Notice, Brief, Reply Brief)  <input type="checkbox"/> Proprietary Information  <input type="checkbox"/> Status Letter <input type="checkbox"/> Other Enclosure(s) (please Identify below):
<input type="checkbox"/> Remarks		

### SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT

Firm Name	North America Intellectual Property Corp.		
Signature			
Printed name	Winston Hsu		
Date	11/17/2004	Reg. No.	

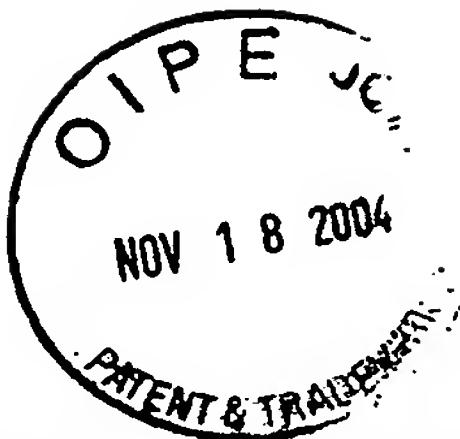
### CERTIFICATE OF TRANSMISSION/MAILING

I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below:

Signature			
Typed or printed name			Date

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



PTO/SB/02B (09-04)

Approved for use through 07/31/2006. OMB 0651-0032

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

**Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.**

## **DECLARATION – Supplemental Priority Data Sheet**

### **Foreign applications:**

This collection of information is required by 35 U.S.C. 115 and 37 CFR 1.63. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 21 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

*If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.*



PTO/SB/17 (10-04)

Approved for use through 07/31/2006. OMB 0651-0032  
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

# FEE TRANSMITTAL for FY 2005

Effective 10/01/2004. Patent fees are subject to annual revision.

 Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT (\$ 0.00)

## Complete if Known

Application Number	10/711,794
Filing Date	10/06/2004
First Named Inventor	Kuo-Yang Sun
Examiner Name	
Art Unit	
Attorney Docket No.	OSEP0009USA

## METHOD OF PAYMENT (check all that apply)

 Check  Credit card  Money Order  Other  None
 Deposit Account:

Deposit Account Number  
50-3105  
Deposit Account Name  
North America Intellectual Property Corp.

The Director is authorized to: (check all that apply)

- Charge fee(s) indicated below  Credit any overpayments  
 Charge any additional fee(s) or any underpayment of fee(s)  
 Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account.

## FEE CALCULATION (continued)

## 3. ADDITIONAL FEES

Large Entity	Small Entity	Fee Description	Fee Paid
Fee Code (\$)	Fee Code (\$)	Fee Description	
1051 130	2051 65	Surcharge - late filing fee or oath	
1052 50	2052 25	Surcharge - late provisional filing fee or cover sheet	
1053 130	1053 130	Non-English specification	
1812 2,520	1812 2,520	For filing a request for ex parte reexamination	
1804 920*	1804 920*	Requesting publication of SIR prior to Examiner action	
1805 1,840*	1805 1,840*	Requesting publication of SIR after Examiner action	
1251 110	2251 55	Extension for reply within first month	
1252 430	2252 215	Extension for reply within second month	
1253 980	2253 490	Extension for reply within third month	
1254 1,530	2254 765	Extension for reply within fourth month	
1255 2,080	2255 1,040	Extension for reply within fifth month	
1401 340	2401 170	Notice of Appeal	
1402 340	2402 170	Filing a brief in support of an appeal	
1403 300	2403 150	Request for oral hearing	
1451 1,510	1451 1,510	Petition to institute a public use proceeding	
1452 110	2452 55	Petition to revive - unavoidable	
1453 1,330	2453 665	Petition to revive - unintentional	
1501 1,370	2501 685	Utility issue fee (or reissue)	
1502 490	2502 245	Design issue fee	
1503 660	2503 330	Plant issue fee	
1460 130	1460 130	Petitions to the Commissioner	
1807 50	1807 50	Processing fee under 37 CFR 1.17(q)	
1806 180	1806 180	Submission of Information Disclosure Stmt	
8021 40	8021 40	Recording each patent assignment per property (times number of properties)	
1809 790	2809 395	Filing a submission after final rejection (37 CFR 1.129(a))	
1810 790	2810 395	For each additional invention to be examined (37 CFR 1.129(b))	
1801 790	2801 395	Request for Continued Examination (RCE)	
1802 900	1802 900	Request for expedited examination of a design application	

Other fee (specify) \_\_\_\_\_

\*Reduced by Basic Filing Fee Paid

SUBTOTAL (3) (\$ 0.00)

\*\*or number previously paid, if greater; For Reissues, see above

## SUBMITTED BY

(Complete if applicable)

Name (Print/Type)	Winston Hsu	Registration No. (Attorney/Agent)	41,526	Telephone	302-729-1562
Signature	Winston Hsu		Date	11/17/2004	

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

This collection of information is required by 37 CFR 1.17 and 1.27. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



# 中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder.

申 請 日：西元 2004 年 06 月 30 日  
Application Date

申 請 案 號：093119793  
Application No.

申 請 人：華泰電子股份有限公司  
Applicant(s)

局 長  
Director General

蔡 緣 生

發文日期：西元 2004 年 9 月 日  
Issue Date

發文字號：0932088937  
Serial No.

CERTIFIED COPY OF  
PRIORITY DOCUMENT

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：

※ 申請日期：

※ I P C 分類：

壹、發明名稱：(中文/英文)

封裝結構 / PACKAGE STRUCTURE

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

華泰電子股份有限公司 /

ORIENT SEMICONDUCTOR ELECTRONICS, LTD.

代表人：(中文/英文)

杜俊元 / DUH, CHUN-YUAN

住居所或營業所地址：(中文/英文)

高雄市楠梓加工出口區中三街九號 / 9 Central 3Rd St. N.E.P.Z.,  
Kao-Hsiung City, Taiwan, R.O.C.

國籍：(中文/英文) 中華民國 / TWN

參、發明人：(共 2 人)

姓名：(中文/英文)

1. 孫國洋 / SUN, KUO-YANG
2. 楊家銘 / YANG, CHIA-MING

住居所地址：(中文/英文)

1. 813 高雄市左營區立大路四三〇號十一樓 / 11F, No. 430, Lida Rd., Zuoying District, Kao-Hsiung City 813, Taiwan, R.O.C.
2. 701 台南市東區關聖里三十鄰裕孝路一九三之八號 / No. 193-8, Yuxiao Rd., Guansheng Li, East District, Tai-Nan City 701, Taiwan, R.O.C.

國籍：(中文/英文)

1. 中華民國 / TWN
2. 中華民國 / TWN

## 肆、聲明事項：

本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家（地區）申請專利  主張國際優先權：  
【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

- 1.
- 2.
- 3.
- 4.
- 5.

主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

- 1.
- 2.

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

熟習該項技術者易於獲得，不須寄存。

## 伍、中文發明摘要：

本發明係提供一種封裝結構，其包含有一導線架、至少一第一元件、以及複數個第一接合點(solder joint)，其中該導線架係具有複數個第一接腳，並且各該第一接腳均具有一第一凹槽，各該第一接合點係分別設置於各該第一凹槽內並係用來將該第一元件電連接至該導線架上。

## 陸、英文發明摘要：

The present invention relates to a package structure. The package structure includes a lead frame having a plurality of leads, each of which includes a recession, at least a first device, and a plurality of solder joints respectively positioned in the recessions for connecting the first device to the lead frame.

柒、指定代表圖：

(一)本案指定代表圖為：第（ 1 ）圖。

(二)本代表圖之元件代表符號簡單說明：

10	封裝結構	12	導線架
14	晶片座	16	接腳
16a	凹槽	18	元件
20	接合墊	22	接合點
24	封膠		

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

## 玖、發明說明：

### 【發明所屬之技術領域】

本發明係關於一種封裝結構，特別是一種可提高封裝結構之可靠度與良率的封裝結構。

### 【先前技術】

在半導體產業中，積體電路的生產主要分為兩個階段：積體電路的製作以及積體電路的封裝等。其中，積體電路的製作係包含有晶圓製造、電路設計、光罩製作以及切割晶圓等步驟，而積體電路的封裝通常是利用打線(wire bonding)或是覆晶(Flip Chip)，來將晶片電連接至基板或導線架(lead frame)。

此外，隨著筆記型電腦、個人資料助理(PDA)與行動電話等攜帶式機器的小型化與高功能化，以及中央處理單元(CPU)與記憶體模組(memory module)等之功能複雜化，使半導體製程不僅需朝向高積集度發展，也必需朝向高密度封裝發展，於是各種輕、薄、短、小的封裝結構便不斷地被開發出來。其中，由於覆晶(flip chip, FC)封裝結構具有散熱快、低電感、多端子以及尺寸小的優點，其係廣泛地被應用在各種產品的封裝上。一般而言，覆晶封裝係先

## 玖、發明說明：

### 【發明所屬之技術領域】

本發明係關於一種封裝結構，特別是一種可提高封裝結構之可靠度與良率的封裝結構。

### 【先前技術】

在半導體產業中，積體電路的生產主要分為兩個階段：積體電路的製作以及積體電路的封裝等。其中，積體電路的製作係包含有晶圓製造、電路設計、光罩製作以及切割晶圓等步驟，而積體電路的封裝通常是利用打線(wire bonding)或是覆晶(Flip Chip)，來將晶片電連接至基板或導線架(lead frame)。

此外，隨著筆記型電腦、個人資料助理(PDA)與行動電話等攜帶式機器的小型化與高功能化，以及中央處理單元(CPU)與記憶體模組(memory module)等之功能複雜化，使半導體製程不僅需朝向高積集度發展，也必需朝向高密度封裝發展，於是各種輕、薄、短、小的封裝結構便不斷地被開發出來。其中，由於覆晶(flip chip, FC)封裝結構具有散熱快、低電感、多端子以及尺寸小的優點，其係廣泛地被應用在各種產品的封裝上。一般而言，覆晶封裝係先

形成複數個凸塊(bump)於晶片上以及塗上錫膏於導線架上，然後再利用迴焊製程(reflow process)來融熔晶片凸塊與導線架上之錫膏，進而使晶片可藉由凸塊黏附在導線架上，舉例而言，美國專利案號 6,661,087 便揭露了此種類型之覆晶封裝結構。然而，在前述之迴焊製程中，由於融熔態之晶片凸塊與錫膏容易在導線架上產生流動，因而使得晶片會偏離其原先所預定的位置，進而可能造成產品無法運作的情形，因而降低產品良率。

另一方面，在目前積體電路的封裝中，通常需要藉由被動元件(passive device)(例如：電阻、電容或電感)來滿足高頻或其他運用之電性要求。傳統上，被動元件都是設置在印刷電路板(PCB)上，近來為了減少被動元件佔據印刷電路板額外的面積，被動元件通常會被整合在晶片的封裝體內，以形成系統整合型封裝(system in a package, SiP)，進而滿足市場對高性能、低成本、以及小體積的封裝需求。其中，系統整合型封裝通常是利用錫膏來作為被動元件與導線架之間的接著劑，而錫膏經過高溫的迴焊製程後，便會融熔而將被動元件黏附至導線架上。然而，由於迴焊製程係用來融化錫膏，而融熔態之錫膏容易在導線架上產生流動，所以在迴焊製程中，被動元件容易因錫膏的流動而偏離其原先所預定的位置，進而可能造成產品不良。因此，設計一種可避免錫膏流動之封裝結構，以解決前述之缺失，便是目前封裝產業積極發展的重要課題之一。

## 【發明內容】

因此，本發明的目的之一是提供一種封裝結構，以解決前述之問題。

依據本發明之目的，本發明的較佳實施例係提供一種封裝結構，其包含有一導線架、至少一第一元件、以及複數個第一接合點，其中該導線架係具有複數個第一接腳，並且各該第一接腳均具有一第一凹槽，各該第一接合點係分別設置於各該第一凹槽內並係用來將該第一元件電連接至該導線架上。

由於本發明之導線架係具有複數個用以固定各個接合點之凹槽，因此在迴焊製程中，融熔態之各個接合點便不會偏離原先所預定之位置，進而可提高封裝結構之良率與可靠度。

## 【實施方式】

請參考第 1 圖至第 3 圖，第 1 圖係為本發明第一實施例之封裝結構的剖面示意圖，第 2 圖係為第 1 圖所示之導線架的上視圖，而第 3 圖係為第 2 圖所示之導線架沿切線 3-3' 之剖面示意圖。如第 1 圖所示，一封裝結構 10 包含有一導線架 12，至少一設置於導

線架 12 之上的元件 18，複數個設置於導線架 12 與元件 18 之間的接合點(solder joint)22，以及一覆蓋於元件 18 之外的封膠 24。其中，如第 2 圖與第 3 圖所示，導線架 12 級包含有一用來承放元件 18 之晶片座(die pad)14 以及複數個接腳(lead)16，並且各個接腳 16 均具有一凹槽 16a。此外，如第 1 圖所示，元件 18 之主動表面係包含有複數個接合墊(bonding pad)20，並且各接合墊 20 係分別經由各接合點 22 而連接至各凹槽 16a 之內。一般而言，元件 18 通常是一半導體晶片(semiconductor chip)或一封裝體(package)，導線架 12 則是由金屬材質(例如銅合金或鐵合金)所構成，接合點 22 可以是由錫或錫合金所構成，而封膠 24 多由高分子材料所構成，例如可為一環氧樹酯層，目的在於增加元件 18 對水氣、氧化之防護能力，而晶片座 14 因與元件 18 相連接，因此亦可用來當作一具有散熱功能之散熱座，此外，晶片座 14 上另可設有至少一接地墊(未顯示)與元件 18 導接，以與元件 18 上之接地點(圖未示)電性連接。

接著，請參考第 4 圖，第 4 圖係為本發明第一實施例之封裝結構的製作方法示意圖。如第 4 圖所示，首先提供一半導體晶片 18，並且半導體晶片 18 之主動表面係已包含有複數個接合墊 20，隨後並利用電鍍或印刷的方式，以於各接合墊 20 之表面分別形成一凸塊(bump)22a，其中凸塊 22a 可以是由錫或錫合金所構成。接著，提供一導線架 12，而導線架 12 級包含有複數個接腳 16，並利用

蝕刻的方式，而分別於各個接腳 16 上形成一凹槽 16a，之後再利用印刷的方式，將錫膏刷入各凹槽 16a 之內。然後，將半導體晶片 18 連接至導線架 12 上，並使半導體晶片 18 之各凸塊 22a 分別設置於其所對應之各個凹槽 16a 之內，隨後並進行一迴焊製程，以使凸塊 22a 與錫膏 22b 融溶並形成第 1 圖所示之各接合點 22，進而使半導體晶片 18 得以黏附至導線架 12 上。最後，如第 1 圖所示，形成一封膠 24 於半導體晶片 18 上，而封膠 24 係覆蓋於半導體晶片 18 之外並係用來保護半導體晶片 18。一般而言，凸塊 22a 與錫膏 22b 係由錫或錫合金所構成，而必須注意的是，各凹槽 16a 的尺寸通常要大於各凸塊 22a 的尺寸，以避免半導體元件 18 產生位置偏移的現象。此外，元件 18 亦可以視產品規格及製程需求而直接固定於接腳 16 上，省略晶片座 14，如第 5 圖所示，第 5 圖係為本發明第一實施例之無晶片座設計之封裝結構的剖面示意圖。

值得注意的是，由於金屬製之導線架 12 具有複數個凹槽 16a，而各個凹槽 16a 係用來固定各個凸塊 22a 與錫膏 22b，因此在前述之迴焊製程中，融熔態之凸塊 22a 與錫膏 22b 便不會偏離原先所預定之位置，進而可避免半導體元件 18 因位置偏移而降低電性表現之情形，並可提高封裝結構 10 之良率以及可靠度。

請參考第 6 圖與第 7 圖，第 6 圖係為本發明第二實施例之封裝

結構的上視圖，第 7 圖係為第 6 圖所示之封裝結構沿切線 6-6' 之剖面示意圖。如第 5 圖所示，一封裝結構 30 包含有一導線架 32，至少一設置於導線架 32 之上的元件 40，以及複數個設置於導線架 32 之上的被動元件 46。其中，導線架 32 係包含有一用來承放元件 40 之晶片座 34 以及複數個接腳 36 與 38，且元件 40 係經各導線 42 連接至各接腳 36。當然，可依使用上需求，利用導線將元件 40 連接至設置有被動元件 46 之接腳 38 上，此為熟知該項技藝者所能輕易推知，故不再以圖式顯示說明之。此外，如第 6 圖所示，各個接腳 38 均具有一凹槽 38a，並且各被動元件 46 之輸出點 48 係分別經由一接合點 50 而連接至各凹槽 38a 之內。一般而言，元件 40 通常是一半導體晶片或一封裝體，各被動元件 46 係可以是一電阻、一電容或一電感，導線架 32 則是由金屬材質(例如銅合金或鐵合金)所構成，接合點 50 可以是由錫或錫合金所構成。另一方面，封裝結構 30 另包含有一封膠(未顯示)，覆蓋於元件 40 與各個被動元件 46 之外，該封膠係用來保護元件 40 以及各個被動元件 46。

值得注意的是，由於金屬製之導線架 32 具有複數個凹槽 38a，所以在迴焊製程中，融熔態的接合點 50 便不會偏離原先所預定之位置，進而可提高封裝結構 30 之良率與可靠度。此外，第 7 圖所示之封裝結構的製作方法係與第 4 圖所示之製作方法相似，因此不再贅述。另一方面，第 6 圖所示之半導體晶片 40 係經由打線的

方式電連接至各接腳 36 上，不過本發明並不限於此，第 6 圖所示之半導體晶片亦可以利用覆晶封裝的方式而電連接至各個接腳 36。

相較於習知技術，由於本發明之導線架 12 與 32 係具有凹槽 16a 與 38a，因此在迴焊製程中，融熔態之接合點 22 與 50 便不會偏離原先所預定之位置，進而可提高封裝結構 10 與 30 之良率與可靠度。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。

### 【圖式簡單說明】

#### 圖式之簡單說明

第 1 圖係為本發明第一實施例之封裝結構的剖面示意圖。

第 2 圖係為第 1 圖所示之導線架的上視圖。

第 3 圖係為第 2 圖所示之導線架沿切線 3-3' 之剖面示意圖。

第 4 圖係為本發明第一實施例之封裝結構的製作方法示意圖。

第 5 圖係為本發明第一實施例之無晶片座設計之封裝結構的剖面示意圖。

第 6 圖係為本發明第二實施例之封裝結構的上視圖。

第 7 圖係為第 6 圖所示之封裝結構沿切線 6-6' 之剖面示意圖。

### 圖式之符號說明

10	封裝結構	12	導線架
14	晶片座	16	接腳
16a	凹槽	18	元件
20	接合墊	22	接合點
22a	凸塊	22b	錫膏
24	封膠	30	封裝結構
32	導線架	34	晶片座
36	接腳	38	接腳
38a	凹槽	40	元件
42	導線	46	被動元件
48	輸出點	50	接合點

## 拾、申請專利範圍：

1. 一種封裝結構，其包含有：

一導線架(lead frame)，該導線架係具有複數個第一接腳  
(lead)，並且各該第一接腳均具有一第一凹槽；

至少一第一元件；以及

複數個第一接合點(solder joint)，分別設置於各該第一凹槽  
內並係用來將該第一元件連接至該導線架上。

2. 如申請專利範圍第1項之封裝結構，其中該第一元件係為一半  
導體晶片(semiconductor chip)。

3. 如申請專利範圍第1項之封裝結構，其中該第一元件係為一被  
動元件(passive device)。

4. 如申請專利範圍第3項之封裝結構，其中該被動元件係為一電  
阻、一電容或一電感。

5. 如申請專利範圍第3項之封裝結構，其中該導線架更包含有複  
數個第二接腳。

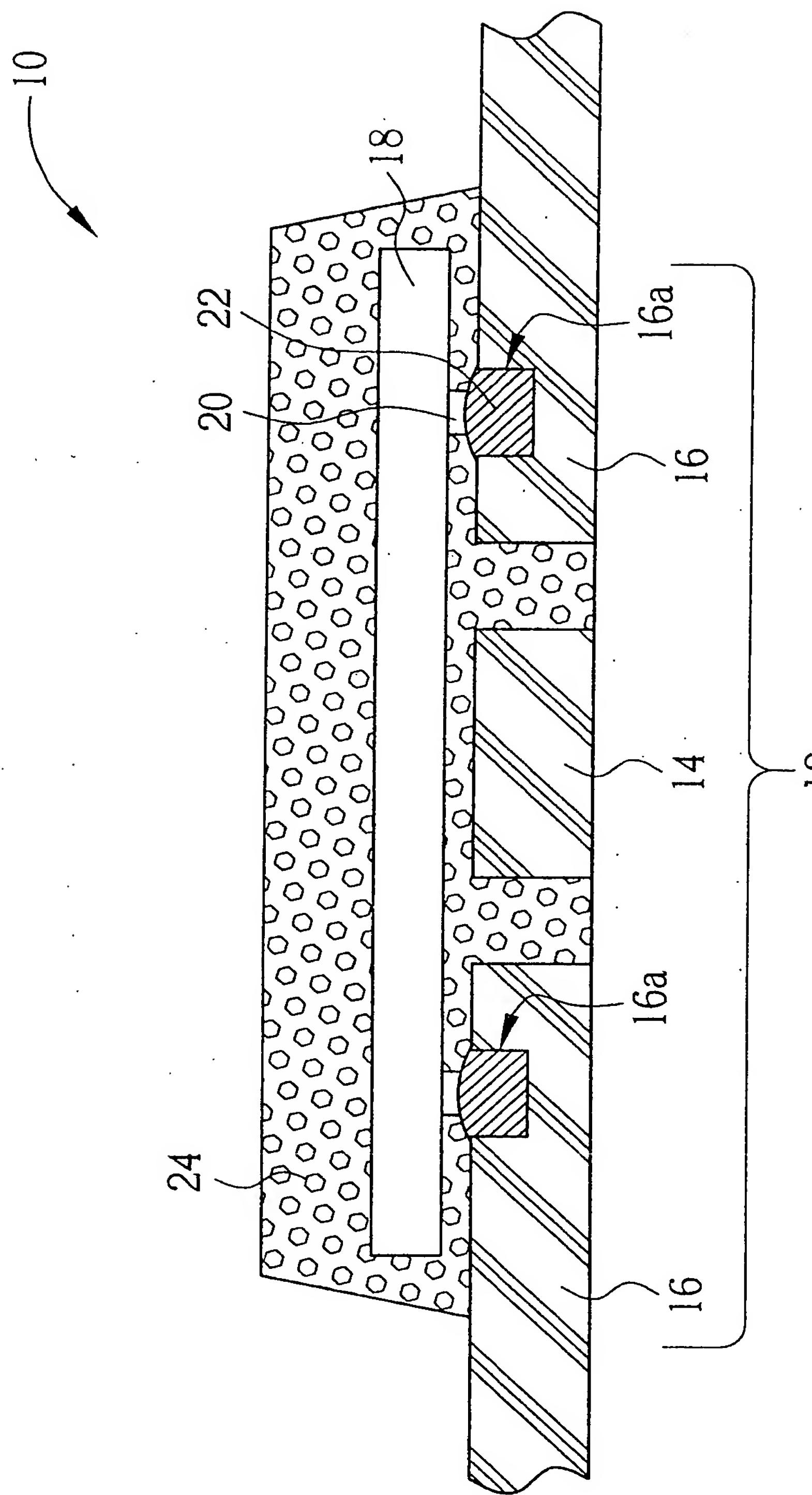
6. 如申請專利範圍第5項之封裝結構，其中該封裝結構更包含有  
至少一第二元件以及複數個導線，且該第二元件係以該等導線

連接至第二接腳。

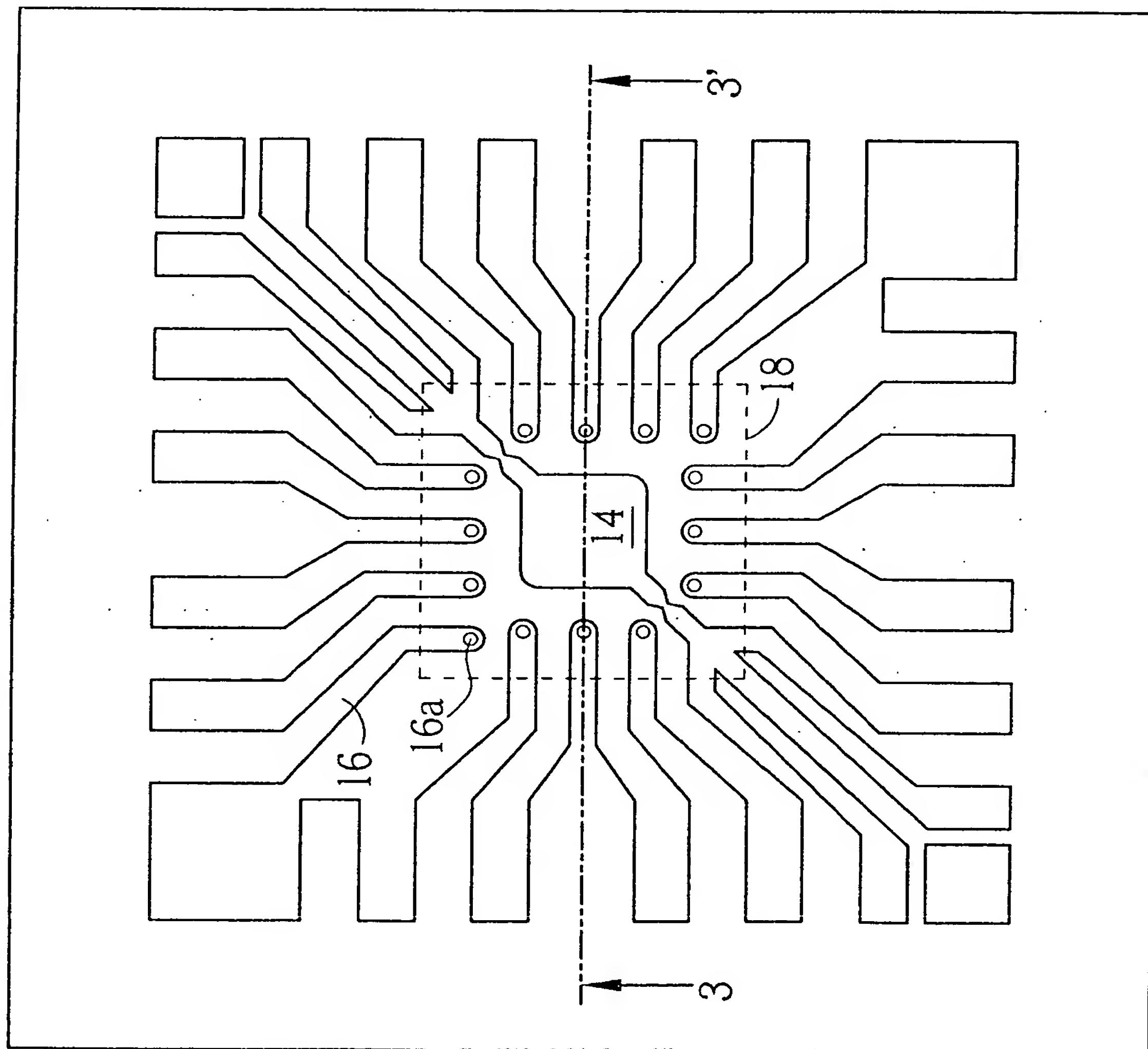
7. 如申請專利範圍第 3 項之封裝結構，其中該導線架更另包含有複數個第二接腳，並且各該第二接腳均具有一第二凹槽。
8. 如申請專利範圍第 7 項之封裝結構，其中該封裝結構更包含有至少一第二元件以及複數個第二接合點，並且各該第二接合點係分別設置各該第二凹槽內並係用來將該第二元件連接至該導線架上。
9. 如申請專利範圍第 8 項之封裝結構，其中該第二元件係為一半導體晶片，並且各該第二接合點係包含有錫或錫合金。
10. 如申請專利範圍第 2 項之封裝結構，其中該導線架更包含有一與第一元件連接之晶片座，用來當作該第一元件之散熱座，以將第一元件產生之熱散出。
11. 如申請專利範圍第 10 項之封裝結構，其中該晶片座更具有一接地墊，與第一元件連接。
12. 如申請專利範圍第 1 項之封裝結構，其中各該第一接合點係包含有錫或錫合金。

拾壹、圖式：

第1圖



第2圖



12

16a

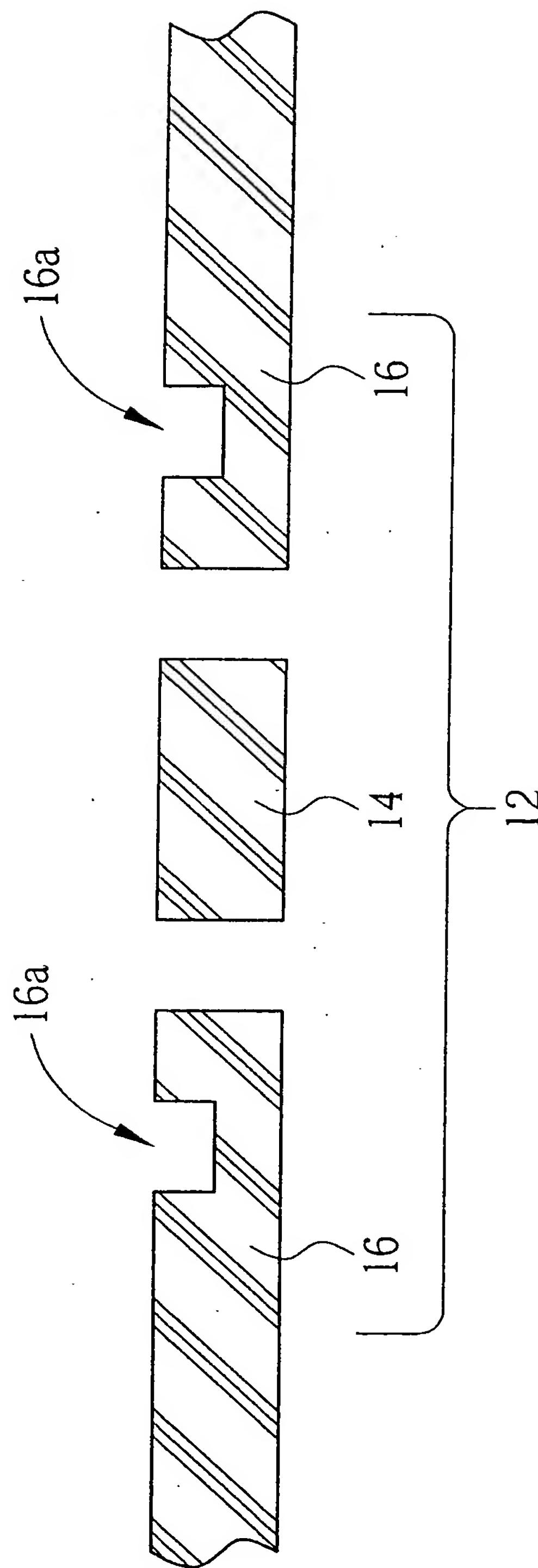
14

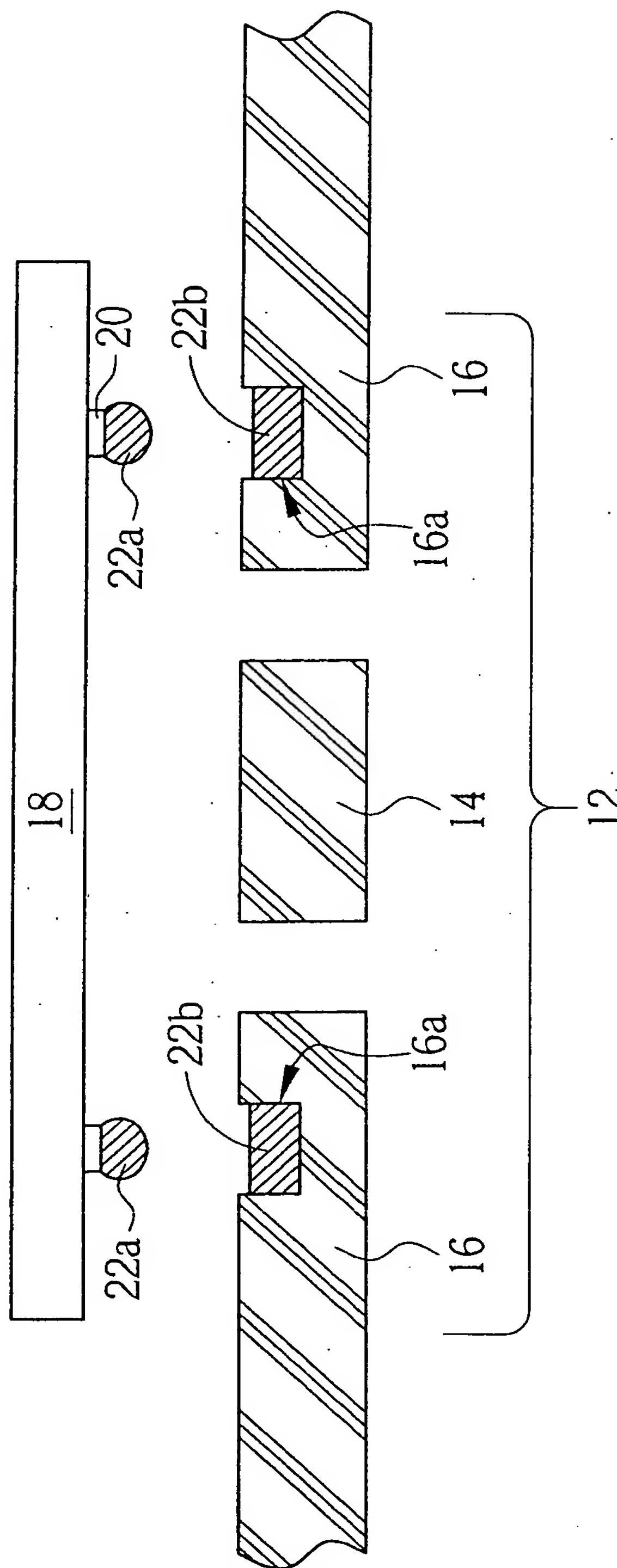
3

3'

18

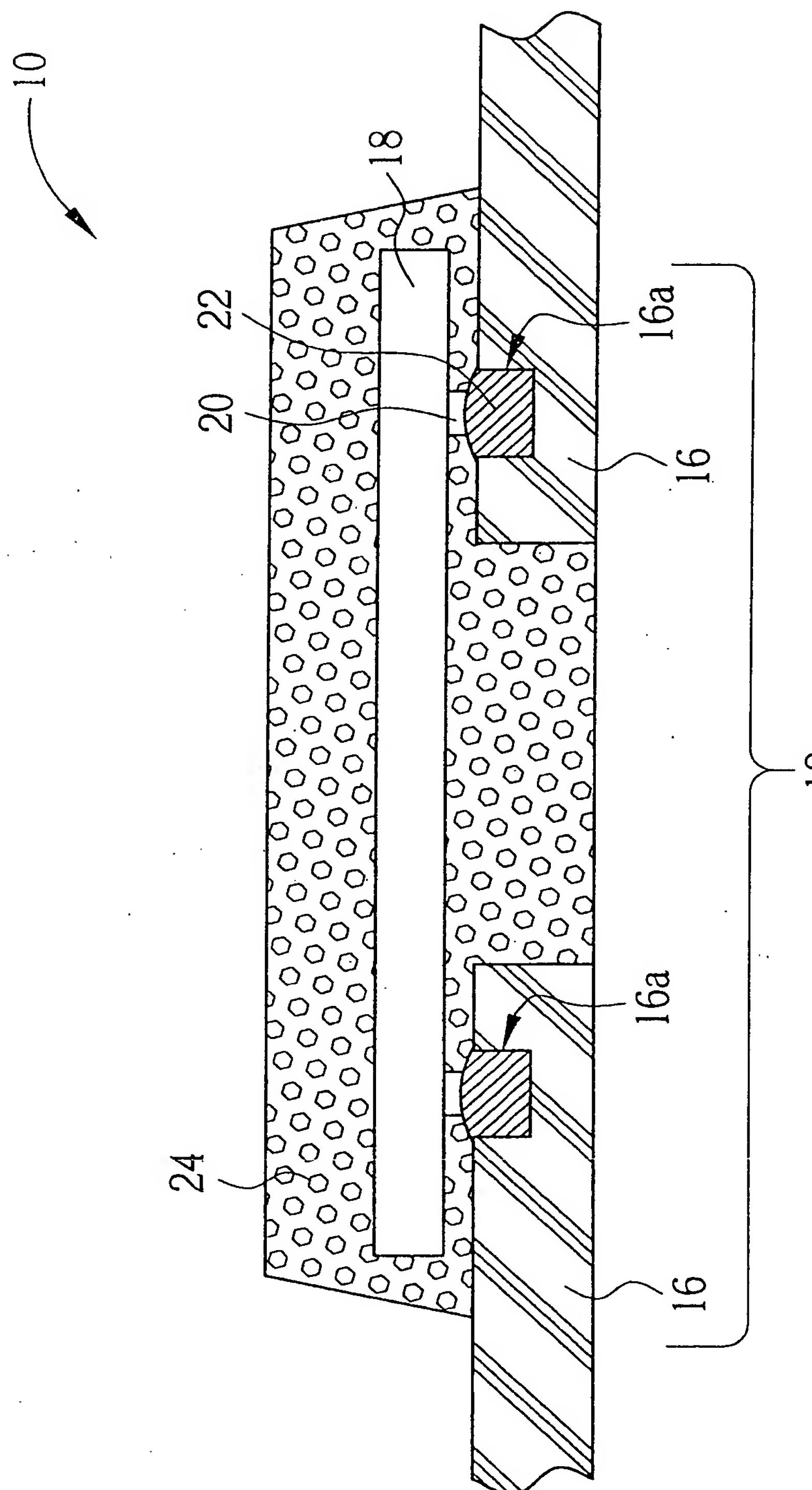
第3圖



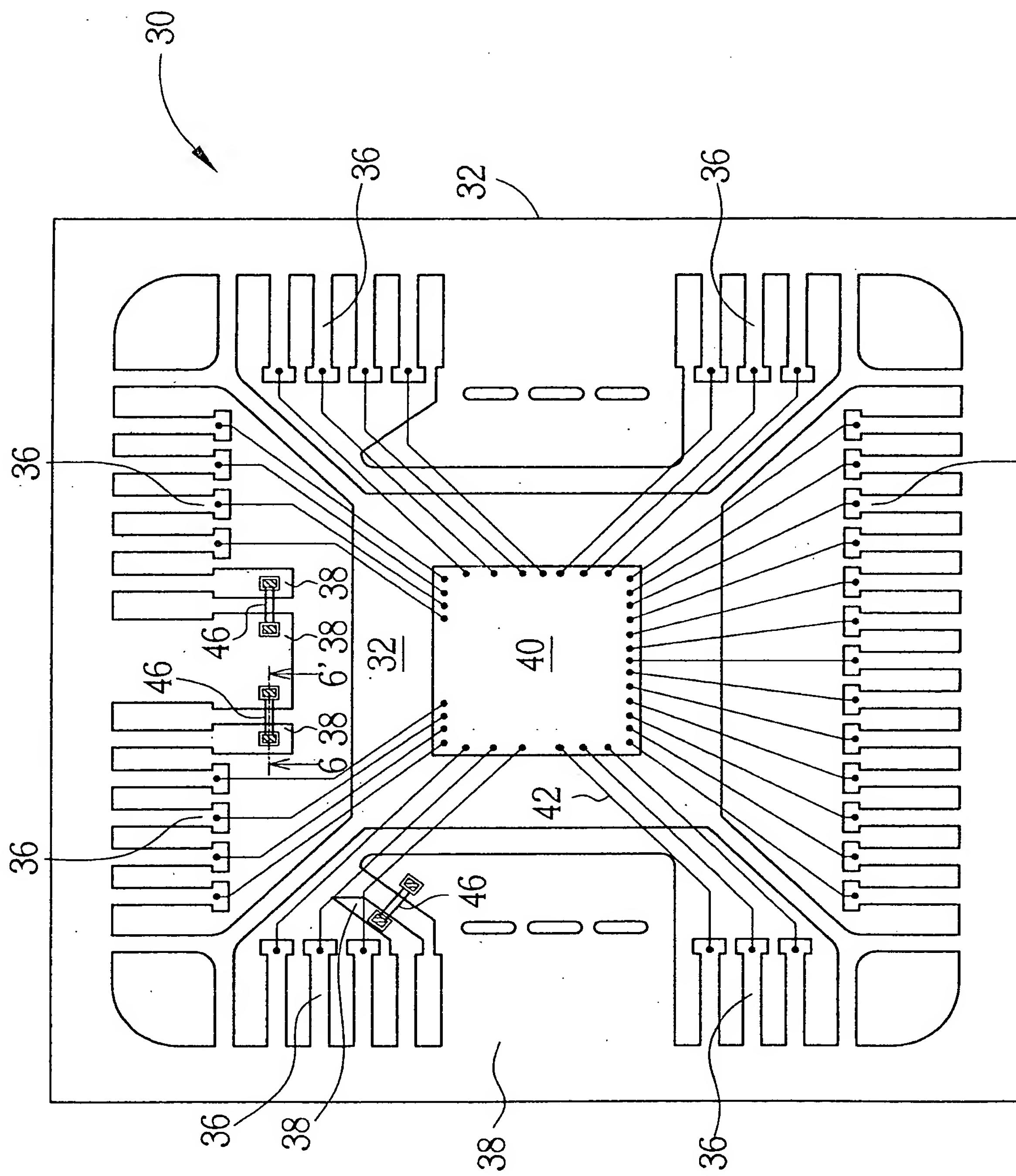


第4圖

第5圖



第6圖



第7圖

